

## EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02260734  
 PUBLICATION DATE : 23-10-90

APPLICATION DATE : 30-03-89  
 APPLICATION NUMBER : 01079685

APPLICANT : NEC CORP;

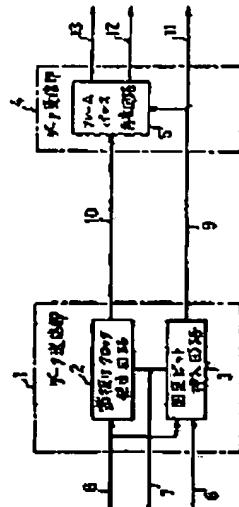
INVENTOR : FUJIMORI NARIHIKO;

INT.CL. : H04L 7/08 H04J 3/06

TITLE : SERIAL DATA TRANSMISSION SYSTEM

RECEIVED  
 CENTRAL FAX CENTER

JUN 08 2005



ABSTRACT : PURPOSE: To omit wiring for frame pulse between transmission lines by reproducing a frame pulse from a toothless clock signal and serial data synchronized with the clock signal and to which a fixed bit is inserted at a reception side.

CONSTITUTION: The serial data transmission system is comprised in such a way that significant ( $x$ ) ( $x$ : natural number) serial data bits whose change points are synchronized with the rise of a clock, the serial data setting ( $x+2$ ) bits consisting of two fixed bits in which (1, 0) or (0, 1) following the ( $x$ ) serial data bits continuous as one frame, and a toothless clock, part of which is toothless, are transmitted from a data transmission side 1, and the frame pulse can be reproduced from the serial data and the toothless clock at the reception side 4. In such a way, it is not required to transmit the frame pulse, and the wiring for frame pulse in the transmission line can be omitted.

COPYRIGHT: (C)1990,JPO&amp;Japio

JUN 08 2005

⑩ 日本国特許庁 (JP)

⑪ 特許出願公報

⑫ 公開特許公報 (A) 平2-260734

⑬ Int. Cl. 3

H 04 L 7/08  
H 04 J 3/06

識別記号

序内整理番号

⑭ 公開 平成2年(1990)10月23日

Z 6914-5K  
A 6914-5K

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 シリアルデータ伝送方式

⑯ 特 願 平1-78685

⑯ 出 願 平1(1989)3月30日

⑰ 発 明 者 鹿 深 也 浜 晃 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 山川 政樹 外2名

## 明細書

## 1. 発明の名称

シリアルデータ伝送方式

## 2. 特許請求の範囲

データ通信側から、変化点がクロックの立ち上がりと同期した有効なエビット(エビット:自然数)のシリアルデータビットと、このエビットのシリアルデータビットに続く「1,0」または「0,1」の連続した2個の固定ビットからなるエビットを1フレームとするシリアルデータと、1フレーム中に1回、前記シリアルデータのエビット位置に相当するペルスの「1」が「0」になつてゐるタロップを送信し、受信側において、前記シリアルデータと前記1フレーム中に1回、シリアルデータのエビット位置に相当するペルスの「1」が「0」になつてゐるタロップからフレームペルスを再生することを特徴とするシリアルデータ伝送方式。

## 3. 発明の詳細を説明

〔産業上の利用分野〕

本発明は伝送装置に係り、特にシリアルデータ伝送方式に関するものである。

## 〔従来の技術〕

従来、この種のシリアルデータ伝送方式は、送信側装置からクロック信号、シリアルデータおよびデータフレームの同期をとるためのフレームペルスが受信側装置へ送信され、受信側ではクロック信号、シリアルデータおよびフレームペルスからシリアルデータの同期分解多段を行う方法となっていた。

## 〔発明が解決しようとする課題〕

上述した従来のシリアルデータ伝送方式では、フレーム同期をとるためのフレームペルスをクロック信号、シリアルデータとは別個で送る方法をとつてゐるので、チャネル数が多いと共用間、装置内の配線が複雑になるという課題があつた。

## 〔課題を解決するための手段〕

本発明のシリアルデータ伝送方式は、データ通信側から、変化点がクロックの立ち上がりと同期した有効なエビット(エビット:自然数)のシリアルデータビット

## 特開平2-260734(2)

トと、このエ個のシリアルデータビットに続く「1,0」または「0,1」の連続した2個の固定ビットからなるエ+2ビットを1フレームとするシリアルデータと、1フレーム中に1回、上記シリアルデータのエ+2番目の固定ビット位置に相当するバルス「1」が「0」になつてゐるクロックを送信し、受信側において、上記シリアルデータと上記1フレーム中に1回、シリアルデータのエ+2番目の固定ビット位置に相当するバルス「1」が「0」になつてゐるクロックからフレームバルスを再生するものである。

## 【作用】

本発明においては、装置間または装置内のシリアルデータ伝送において、1フレーム中に1回、シリアルデータのエ+2番目の固定ビット位置に相当するバルスの「1」か「0」になつてゐるクロック信号と、それに同期した固定ビットを挿入されたシリアルデータから、受信側でフレームバルスを再生する。

## 【実施例】

シリアルデータビットと、このエ個のシリアルデータビットに続く「1,0」または「0,1」の連続した2個の固定ビットからなるエ+3ビットを1フレームとするシリアルデータと、バルスの一部が抜けた歯抜けクロックを送信し、受信側において、上記シリアルデータと上記歯抜けクロックからフレームバルスを再生するように構成されている。

このように、本発明のシリアルデータ伝送方式は、送信装置より、バルスの一部が抜けた歯抜けクロック信号と、この歯抜けクロック信号の歯抜け部分に対するデータが固定されたビットとなつてゐるシリアルデータを伝送し、受信装置において、歯抜けクロック信号と固定ビットを含むシリアルデータよりフレームバルスを再生するフレームバルス再生回路を有している。

第2図は第1図の動作説明に供するタイムチャートで、(a)は送信部入力クロック6を示したものであり、(b)は送信部入力フレームバルス7、(c)は送信部入力データ8、(d)は伝送路クロック9、(e)

以下、図面に基づき本発明の実施例を詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。

図において、1はデータ送信部で、1フレーム中に1回、シリアルデータのエ+2番目(エ:自然数)の固定ビット位置に相当するバルスの「1」が「0」になつてゐるクロック(以下、歯抜けクロックと呼称する)発生回路2と固定ビット挿入回路3を内蔵している。4はデータ受信部で、バルスの一部が抜けた歯抜けクロック信号と固定ビットを含むシリアルデータよりフレームバルスを再生するフレームバルス再生回路5を内蔵している。

6は送信部入力クロックを示し、7は送信部入力フレームバルス、8は送信部入力データ、9は伝送路クロック、10は伝送路データ、11は受信部出力クロック、12は再生フレームバルス、13は受信部出力データを示す。

そして、データ送信部から、変化点がクロックの立ち上りと同期した有意味エ位(エ:自然数)の

は伝送路データ10、(d)は受信部出力クロック11、(e)は再生フレームバルス12、(f)は受信部出力データ13を示したものである。そして、(b)における(e)および(d)における(f)はそれぞれ固定ビットを示す。

つぎにこの第1図に示す実施例の動作を第2図を参照して説明する。

まず、データ送信部1へ入力される送信部入力クロック6(第2図(a)参照)、送信部入力データ8(第2図(e)参照)は、歯抜けクロック発生回路2、固定ビット挿入回路3によって送信部入力フレームバルス7(第2図(b)参照)にタイミングを合わせてフォーマットを変換され、伝送路クロック9(第2図(d)参照)、伝送路データ10(第2図(f)参照)の形でデータ受信部4へ伝送される。そして、伝送路データ10は、シリアルデータフレームの先頭ビットと最終ビットとの間に2ビット分「0」、「1」の固定ビット(第2図(e)における(f)参照)を挿入され、伝送路クロック9は、伝送路データ10の「1」固定ビット位置に対応するク

## 特開平2-260734(3)

ロフタペルスがインヒビットされる。

つぎに、データ受信部4では、フレームペルス再生回路5により伝送路クロック9と伝送路データ10から再生フレームペルス12(第2回(6)参照)、受信部出力データ13(第2回(6)参照)を作り、受信部出力クロック11(第2回(6)参照)、再生フレームペルス12、受信部出力データ13がデータ受信部4から出力される。

第3回は第1回におけるフレームペルス再生回路5の構成例を示すブロック図である。

この第3回において第1回と同じ符号のものは相当部分を示し、14はインバータ、15、17、18はフリップフロップ、16は伝送路データ10とフリップフロップ15の出力を入力とする録画的論理回路(Ex ORゲート)である。そして、18は反転クロックを示し、20はリタイミングデータ、21は不一致ペルスを示す。

第4回は第3回の動作説明に供するタイムチャートで、(a)は伝送路クロック9を示したものであり、(b)は伝送路データ10、(c)は反転クロック19、

おいて再度リタイミングを行い、受信部出力データ13(第4回(6)参照)として出力される。

このようにして、ペルスの一部が抜けた直抜けクロック信号と、クロック信号に同期した固定ピットを挿入されたデータからフレームペルスを再生することにより、フレームペルスを伝送する必要を無くすことができる。

## 〔発明の効果〕

以上説明したように本発明は、装置間または装置内のシリアルデータ伝送において、直抜けクロック信号と、それに同期した固定ピットを挿入されたシリアルデータから、受信側でフレームペルスを再生することにより、伝送時間のフレームペルス用配達を省略でき、配線本数を低減することができる効果がある。

## 4. 図面の簡単な説明

第1回は本発明の一実施例を示すブロック図、第2回は第1回の動作説明に供するタイムチャート、第3回は第1回におけるフレームペルス再生回路の構成例を示すブロック図、第4回は第3回

(d)はリタイミングデータ20、(e)は不一致ペルス21、(f)は再生フレームペルス12、(g)は受信部出力データ13を示したものである。

そして、第4回(e)における不一致ペルス21内の録画部は不定を表わす。

つぎに第3回に示すフレームペルス再生回路の動作を第4回を参照して説明する。

この、第3回に示す回路に入力された伝送路データ10(第4回(6)参照)は、インバータ14に上つて反転した反転クロック19(第4回(6)参照)で、フリップフロップ15においてリタイミングされ、この結果リタイミングデータ20(第4回(6)参照)と伝送路データ10の不一致をEx ORゲート16で検出する。

そして、このEx ORゲート16出力の不一致ペルス21(第4回(6)参照)を、伝送路クロック9(第4回(6)参照)でフリップフロップ17において再度リタイミングすることにより、再生フレームペルス12(第4回(6)参照)を再生し、リタイミングデータ20は、フリップフロップ18に

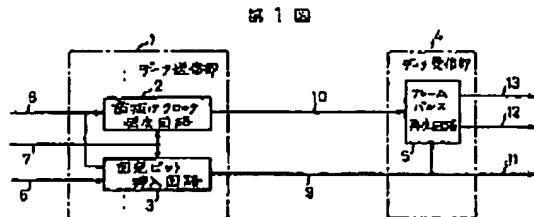
の動作説明に供するタイムチャートである。

1.....データ送信部、2....直抜けクロック再生回路、3....固定ピット挿入回路、4....データ受信部、5....フレームペルス再生回路、6....受信部入力クロック、7....受信部入力フレームペルス、8....受信部入力データ、9....伝送路クロック、10....伝送路データ、11....受信部出力クロック、12....再生フレームペルス、13....受信部出力データ。

特許出願人 日本電気株式会社

代理人 山川政樹

猶開平2-260734(4)

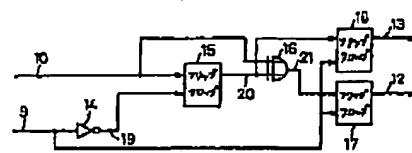


第2周

Figure 1 consists of eight sub-diagrams labeled (a) through (h), each showing a sequence of digital pulses. The pulses are represented by vertical lines with horizontal bars indicating their high states. The diagrams are as follows:

- (a) AND gate: A sequence of 10101010.
- (b) OR gate: A sequence of 01111111.
- (c) NOT gate: A sequence of 10123456.
- (d) AND gate: A sequence of 10101010.
- (e) OR gate: A sequence of 01123456.
- (f) AND gate: A sequence of 10101010.
- (g) OR gate: A sequence of 01111111.
- (h) NOT gate: A sequence of 10123456.

第3回



第4回

Figure 1 shows the waveforms of various control signals for the 2000-type 13-bit counter. The signals are labeled (a) through (g) and are plotted against time. The waveforms are as follows:

- (a) **状況制御ゲート 9**: A square wave signal with a period of 10 units.
- (b) **状況制御ゲート 10**: A signal that is high for the first unit and then low for the remaining 9 units.
- (c) **反転ゲート 13**: A square wave signal with a period of 10 units, inverted relative to signal (a).
- (d) **リセットゲート 20**: A signal that is high for the first 5 units and then low for the remaining 5 units.
- (e) **データバスゲート 21**: A signal that is high for the first 5 units and then low for the remaining 5 units, with a small pulse at the start.
- (f) **再生ゲート 12**: A signal that is high for the first 5 units and then low for the remaining 5 units.
- (g) **登録ゲート 13**: A signal that is high for the first 5 units and then low for the remaining 5 units, with a small pulse at the start.